

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年5月19日 (19.05.2005)

PCT

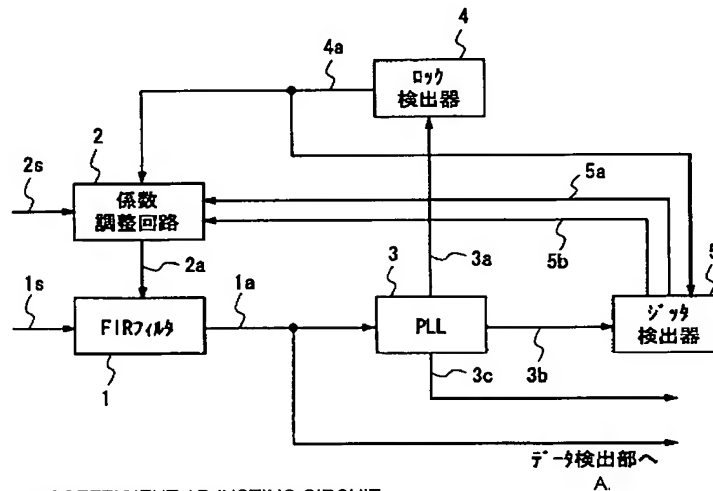
(10) 国際公開番号
WO 2005/045829 A1

- (51) 国際特許分類⁷: G11B 20/10, 20/14, H03H 17/02, 17/06, 21/00
- (21) 国際出願番号: PCT/JP2004/016575
- (22) 国際出願日: 2004年11月9日 (09.11.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-381845
2003年11月11日 (11.11.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岡本 好史 (OKAMOTO, Kouji). 中平 博幸 (NAKAHIRA, Hiroyuki).
- (74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒5320003 大阪府大阪市淀川区宮原 3 丁目 4 番 30 号 ニッセイ新大阪ビル 13 階 早瀬特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: FILTER COEFFICIENT ADJUSTING CIRCUIT

(54) 発明の名称: フィルタ係数調整回路



2... COEFFICIENT ADJUSTING CIRCUIT
1... FIR FILTER
4... LOCK DETECTOR
5... JITTER DETECTOR
A... TO DATA DETECTING PART

(57) Abstract: A filter coefficient adjusting circuit includes a coefficient adjusting circuit (2) that performs equivalent coefficient adjustments by weighting, by factors of n and $(2 - n)$, the initial values of the equivalent coefficients located on the left and right sides, respectively, of the center tap of an FIR filter (1) that equalizes a reproduced signal. The filter coefficient adjusting circuit decides the weighting value of n such that equalizing performance determining means for determining the equalizing performance of the reproduced signal, for example, a jitter detector (5) that detects jitters of the reproduced signal and clocks provides an optimum output. According to this filter coefficient adjusting circuit, the control procedure can be simplified as compared with the conventional group delay correcting circuits without any necessity of additional circuits. Moreover, the group delay of the reproduced signal can be optimized in accordance with the characteristic of the reproduced signal, thereby improving the reproduction performance.

[続葉有]



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 本発明のフィルタ係数調整回路は、再生信号の等化を行うFIRフィルタ(1)のセンタータップより左側の等化係数の初期値を n 倍に、右側の等化係数の初期値を $(2-n)$ 倍に重み付けすることにより等化係数の調整を行う係数調整回路(2)を備え、再生信号の等化性能を検出する等化性能検出手段である、例えば、再生信号とクロックとのジッタを検出するジッタ検出器(5)の出力が最適となるように重み付け n の値を決定するようにしたものである。本発明にかかるフィルタ係数調整回路によれば、従来の群遅延補正回路と比較して、制御手法を簡易化することができ、かつ付加回路も必要とせず、再生信号の特性に応じて再生信号の群遅延の最適化を図ることができ、再生性能の向上を図ることが可能である。